

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2006 年 1 月 26 日 (26.01.2006)

PCT

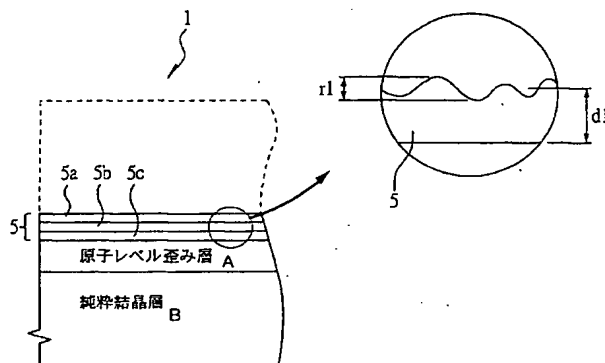
(10) 国際公開番号  
WO 2006/008824 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/304  
(21) 国際出願番号: PCT/JP2004/010550  
(22) 国際出願日: 2004 年 7 月 16 日 (16.07.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 宮崎 忠一 (MIYAZAKI, Chuichi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 阿部 由之 (ABE, Yoshiyuki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).  
(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿 8 丁目 1 番 1 号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.  
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置の製造方法



A... ATOMIC LEVEL STRAINED LAYER  
B... PURE CRYSTAL LAYER

(57) Abstract: A first polishing material (for example, a fine polishing powder with a grain size of #320 to #360) is used to roughly polish the back side of a semiconductor wafer (1). After making the thickness of the semiconductor wafer (1) thinner than, for example, 140  $\mu\text{m}$  or 120  $\mu\text{m}$  or 100  $\mu\text{m}$ , the back side of the semiconductor wafer (1) is finished by fine polishing by using a third polishing material (for example, a fine polishing powder with a grain size of #3,000 to #100,000) to make the thickness of the semiconductor wafer (1) less than 100  $\mu\text{m}$  or 80  $\mu\text{m}$  or 60  $\mu\text{m}$ . Then, on the back side of the semiconductor wafer (1), a relatively thin second breaking layer (5) with a thickness, for example, less than 0.5  $\mu\text{m}$  or 0.3  $\mu\text{m}$  or 0.1  $\mu\text{m}$  is formed. Thus, without deteriorating the transverse strength, contaminating impurities from the back side of the semiconductor wafer (1) are prevented from entering, and furthermore, the contaminating impurities are prevented from diffusing to the circuit forming surface of the semiconductor wafer (1), and the characteristics of the semiconductor element are prevented from deteriorating.

(57) 要約: 第 1 研削材 (例えば研磨微粉の粒度 #320 から #360) を用いて半導体ウエハ 1 の裏面を粗研削し、半導体ウエハ 1 の厚さを、例えば 140  $\mu\text{m}$  未満、120  $\mu\text{m}$  未満または 100  $\mu\text{m}$  未満とした後、第 3 研削材 (例えば研磨微粉の粒度 #3000 から #100000) を用いて半導体ウエハ 1 の裏面をファイン仕上

[続葉有]

WO 2006/008824 A1



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

げ研削し、半導体ウエハ1の厚さを、例えば100 $\mu$ m未満、80 $\mu$ m未満または60 $\mu$ m未満とし、半導体ウエハ1の裏面上に相対的に薄い第2破碎層5、例えば0.5 $\mu$ m未満、0.3 $\mu$ m未満または0.1 $\mu$ m未満の厚さの第2破碎層5を形成する。これにより、チップの抗折強度を低下させることなく、同時に半導体ウエハ1の裏面からの汚染不純物の没入、さらに半導体ウエハ1の回路形成面への汚染不純物の拡散を防いで、半導体素子の特性不良を防ぐ。